

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平9-270707

(43)公開日 平成9年(1997)10月14日

(51)Int.Cl.

識別記号

F I

H03M 1/68

H03M 1/68

H03L 7/08

1/70

H03M 1/70

H03L 7/08

Z

審査請求 未請求 請求項の数3 0 L (全7頁)

(21)出願番号 特願平8-81395

(22)出願日 平成8年(1996)4月3日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 野口 康則

京都市右京区西院溝崎町21番地 ローム株式会社内

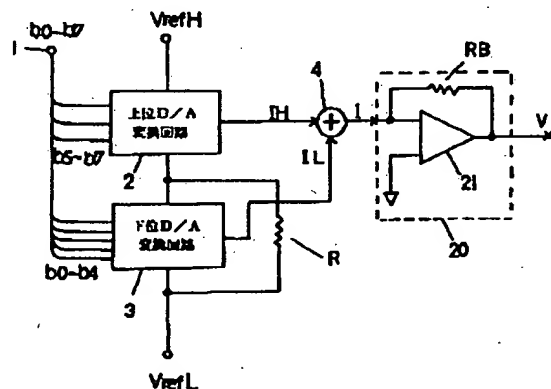
(74)代理人 弁理士 佐野 静夫

(54)【発明の名称】 デジタル/アナログ変換器及びそれを用いた制御装置

(57)【要約】

【課題】 低コストなセグメント方式のデジタル/アナログ変換器である。制御の精度が高いデジタル/アナログ変換器とそれを用いた高精度な制御装置を提供する。

【解決手段】 複数ビット**b**0~**b**7のデジタルデータを2つ以上に分割してセグメントを成す。前記各セグメントのデジタルデータをデジタル/アナログ変換するセグメント用デジタル/アナログ変換手段2、3を設ける。変換手段2、3の出力を合成する。変換手段2、3は、微分非直線性誤差が1LSB以内である。変換手段2のフルスケールは、そのセグメントの最上位ビットから1つ上位のビットを含むセグメントに設けられた変換手段3のフルスケールを、 $2^n$ （ただし、 $n$ はセグメントのビット数、3）で割った値以上としている。



## 【特許請求の範囲】

【請求項1】 複数ビットのデジタルデータを2つ以上に分割してセグメントを成し、前記各セグメントのデジタルデータをデジタル/アナログ変換するセグメント用デジタル/アナログ変換手段を設け、前記各セグメント用デジタル/アナログ変換手段の出力を合成するセグメント方式のデジタル/アナログ変換器において、

前記セグメント用デジタル/アナログ変換手段は、微分非直線性誤差が1LSB以内であり、前記セグメント用デジタル/アナログ変換手段のフルスケールは、そのセグメントの最上位ビットから1つ上位のビットを含むセグメントに設けられた前記セグメント用デジタル/アナログ変換手段のフルスケールを、 $2^n$ （ただし、 $n$ はセグメントのビット数）で割った値以上であることを特徴とするデジタル/アナログ変換器。

【請求項2】 請求項1に記載のデジタル/アナログ変換器の出力と、基準信号を比較手段で比較し、その比較出力で前記デジタル/アナログ変換器を制御することを特徴とする制御装置。

【請求項3】 請求項1に記載のデジタル/アナログ変換器に電圧制御発振器が接続され、前記電圧制御発振器が発振する周波数と基準周波数を位相比較手段で比較し、その比較出力で前記デジタル/アナログ変換器を制御し、それによって前記電圧制御発振器を制御することを特徴とする制御装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はセグメント方式のデジタル/アナログ変換器（以下、「D/A変換器という）に関し、特にその出力が所定の基準値に合致するように制御するのに有効なD/A変換器及びそのD/A変換器を用いた制御装置に関する。

## 【0002】

【従来の技術】 従来のセグメント方式のD/A変換器を図6及び図7を用いて説明する。図7は従来のD/A変換器のブロック図である。入力端子1より、8ビットb0～b7のデジタルデータを入力する。b0が最下位ビットであり、順番に位取りをしてb7が最上位ビットである。8ビットb0～b7のデジタルデータを下位ビットb0～b4と上位ビットb5～b7の2つのセグメントに分割する。

【0003】 上位ビットb5～b7は上位D/A変換回路2に伝送される。下位ビットb0～b4は下位D/A変換回路3に伝送される。ここで、D/A変換回路2、3は入力されたデジタルデータをアナログの電流に変換するようになっている。例えば、トランジスタを定電流源として複数設け、入力されたデジタルデータに対応する電流を定電流源から取り出して加算して出力する。

【0004】 上位D/A変換回路2は高電圧側の定電圧VrefHに接続されている。上位D/A変換回路2に下位D/A変換回路3が接続されている。下位D/A変換回路3は低電圧側の定電圧VrefLに接続されている。下位D/A変換回路3に抵抗RAが並列に接続されている。抵抗RAの説明は後述する。

【0005】 上位、下位D/A変換回路2、3は定電圧VrefH、VrefLによって電力が供給され、それぞれ入力されたデジタルデータをD/A変換する。上位D/A変換回路2は上位ビットb5～b7で表されるデータに対応する電流IHを出力する。下位D/A変換回路3は、下位ビットb0～b4で表されるデータに対応する電流ILを出力する。電流IH、ILは電流合成器4で合成されて電流Iになる。

【0006】 電流Iは積分器20に送られる。積分器20は電流Iを電圧Vに変換する。積分器20は演算増幅器21と帰還抵抗RBから成り、電流Iと抵抗RBの積の電圧Vを出力する。D/A変換回路2、3は互いに同程度の抵抗や素子で構成できる。そのため、セグメント方式のD/A変換器は集積化するとき、集積回路内部の素子のばらつきが低減されるので集積化しやすい。

【0007】 下位D/A変換回路3が出力する電流ILと上位D/A変換回路2が出力する電流IHを合成したときに上述の8ビットb0～b7のデジタルデータに整合するように、抵抗RAによって下位D/A変換回路3に印加する電圧を調節している。抵抗RAは電流ILのフルスケールに1LSBを加えたものが、電流IHのフルスケールを2の3乗（即ち、8）で割ったものに一致するように設定されている。

【0008】 ここで、1LSBというのは、それぞれ電流IH、ILのフルスケールから、電流が連続的に出力すると考えて、デジタルデータが1変化したときの電流の変化に相当する値を求めたものである。下位D/A変換回路3では、下位ビットb0～b4が5ビットであるので、1LSBは電流ILのフルスケールを2の5乗（即ち、32）で割ったものになる。上位D/A変換回路2では、上位ビットb5～b7が3ビットあり、下位ビットb0～b4が5ビットあることを考慮すると、1LSBは電流IHのフルスケールを2の8乗（即ち、256）で割ったものになる。また、その電流を積分器20で電圧Vに変換した場合も、同様に1LSBということになる。

【0009】 一方、上位D/A変換回路2が出力する電流IHのフルスケールを2の3乗（即ち、8）で割ったものは、D/A変換回路2が出力する電流IHのフルスケールから上位ビットb5～b7の中で最下位のビットb5が1変化したときのD/A変換器3出力の変化に相当する値を求めたものである。

【0010】 このD/A変換器の出力の特性図を図6に示す。入力デジタルデータが0（2進数で、0000

0000) のとき、上位D/A変換回路2、下位D/A変換回路3は共に、電流を出力せず、電流Iは流れない。即ち、出力電圧Vは0となる。デジタルデータを0から1ずつ増やすと、31以下であれば、下位ビットb0~b4が変化して下位D/A変換回路3によって電流ILが増加する。上位ビットb5~b7に変化はなく、電流IはILになる。下位D/A変換回路3の直線性が良好であると、デジタルデータと電流Iの関係は直線的51になる。

【0011】デジタルデータが31のとき、下位D/A変換回路3に入力される下位ビットb0~b4が全て1(2進数で、11111)であり、上位ビットb5~b7は全て0である。これに1を加えると、2進数で数値の桁が上がるので、下位D/A変換回路3に入力される下位ビットb0~b4が全て0(2進数で、0000)になる。そして、上位D/A変換回路2に入力される上位ビットb5~b7は最低ビットb5だけが1(2進数で、001)になる。

【0012】このとき、出力電圧Vは下位ビットb0~b4が反転し、上位ビットb5~b7は加算される。通常、抵抗RAがばらついており、出力電圧Vは不連続的52になりやすい。更にデジタルデータを増やすと、下位ビットb0~b4が全て反転し、同様に、不連続的53、54になりやすい。この下位ビットb0~b4が全て反転するところ、セグメントの切り換えポイントということにする。

【0013】

【発明が解決しようとする課題】このように、各セグメントのD/A変換回路2、3の直線性が良好としても、通常、この抵抗RAがばらついていて、各セグメントの切り換えポイントで不連続的になりやすい。理想的な出力電圧Vと実際の出力との差の最大を微分非直線性誤差と呼ぶことにすると、各セグメント内に限った場合、微分非直線性誤差が1LSB以下であったとしても、セグメントの切り換えポイントが1LSBを超えることもあった。特に図6におけるセグメント切り換えポイント53のように正方向に大きく出力電圧Vが変化すると、その変化の途中の電圧に制御しようとしても、それに適合する出力電圧Vが得られないという問題があった。

【0014】そのため、高精度な制御を必要とする装置にはセグメント方式のD/A変換器は使用に困難であった。高精度な制御を行うには微分非直線性誤差が1LSB以内である高精度なD/A変換器を用いていたが、これは高価であるため、制御装置のコストが上がっていた。

【0015】本発明は、このような課題を解決するもので、セグメント方式のD/A変換器を用いてコストを下げ、しかも制御の精度が高いD/A変換器及びそれを用いた制御装置を提供することを目的とする。

【0016】

【課題を解決するための手段】上記目的を達成するために、本発明の第1の構成では、複数ビットのデジタルデータを2つ以上に分割してセグメントを成し、前記各セグメントのデジタルデータをデジタル/アナログ変換するセグメント用デジタル/アナログ変換手段を設け、前記各セグメント用デジタル/アナログ変換手段の出力を合成するセグメント方式のデジタル/アナログ変換器において、前記セグメント用デジタル/アナログ変換手段は、微分非直線性誤差が1LSB以内であり、前記セグメント用デジタル/アナログ変換手段のフルスケールは、そのセグメントの最上位ビットから1つ上位のビットを含むセグメントに設けられた前記セグメント用デジタル/アナログ変換手段のフルスケールを、 $2^n$ (ただし、nはセグメントのビット数)で割った値以上としている。

【0017】このような構成によると、複数ビットのデジタルデータは2つ以上のセグメントに分割される。各セグメントに設けられたデジタル/アナログ変換手段は各セグメントのデジタルデータをデジタル/アナログ変換する。各セグメント用デジタル/アナログ変換手段の微分非直線性誤差は1LSB以内である。

【0018】各セグメントのデジタル/アナログ変換手段のフルスケールは、セグメント内の最上位ビットより1つ上位のビットを含むセグメントに設けられたセグメント用デジタル/アナログ変換手段のフルスケールを $2^n$ (ただし、nはセグメントのビット数)で割った値以上となっている。これより、デジタル/アナログ変換器の微分非直線性誤差は正方向に1LSB以内となっている。

【0019】負方向に、大きな誤差が現れるときもあるが、正方向に誤差は1LSB以内であるので、ある基準電圧に合致するように制御する場合に用いると、デジタル/アナログ変換器の出力する電圧は1LSB以内の精度で制御できるようになる。負方向へのばらつきは制限されないので、セグメント用デジタル/アナログ変換器が出力する電流の整合のための微調整が必要でなくなり、安価になる。

【0020】また、本発明の第2の構成では、上記第1の構成のデジタル/アナログ変換器の出力と、基準信号を比較手段で比較し、その比較出力で前記デジタル/アナログ変換器を制御している。

【0021】このような構成によると、デジタル/アナログ変換器の出力は比較手段で基準信号と比較される。その比較出力で前記デジタル/アナログ変換器を制御している。この制御により、デジタル/アナログ変換器の出力が基準信号と同値になる。

【0022】デジタル/アナログ変換器の微分非直線性誤差は正方向に1LSB以内であるので、設定した出力値からいつでも1LSB以内の精度で制御することが

できる。このように、高精度な制御装置になる。

【0023】また、本発明の第3の構成では、上記第1の構成のデジタル/アナログ変換器に電圧制御発振器が接続され、前記電圧制御発振器が発振する周波数と基準周波数を位相比較手段で比較し、その比較出力で前記デジタル/アナログ変換器を制御し、それによって前記電圧制御発振器を制御している。

【0024】このような構成によると、デジタル/アナログ変換器の出力は電圧制御発振器に入力される。電圧制御発振器はデジタル/アナログ変換器が出力する電圧によって周波数を制御できる発振器であり、電圧が高くなると発振する周波数が高くなる。

【0025】この発振周波数と基準周波数は位相比較手段で比較される。もし発振周波数と基準周波数が異なっていれば、デジタル/アナログ変換器の出力を変化させ、電圧制御発振器の発振周波数を基準周波数に近づける。一方、発振周波数と基準周波数が等しければ、発振周波数を固定する。このように、発振の周波数が基準周波数と同値になる。

【0026】

【発明の実施の形態】

<第1の実施形態>本発明の第1の実施形態を図1及び図2を用いて説明する。図1は本発明のD/A変換器の一実施形態のブロック図で、抵抗Rの値以外は図7の従来例と同様な構成となっているので、上記従来例のD/A変換器(図7)と同一部分については同一の符号を付し、説明を省略する。尚、上位D/A変換回路2は上位3ビットb5~b7、下位D/A変換回路3は下位5ビットb0~b4をD/A変換しているが、D/A変換回路2、3がD/A変換するビット数は変えてもよい。

【0027】セグメントは更に分割して、3つ以上設けることもできる。また、デジタルデータ全体のビット数も、8ビットに限らず、複数ビットのデジタルデータであればよい。上位D/A変換回路2と下位D/A変換回路3はどちらも微分非直線性誤差が1LSB以内である。

【0028】従来例では、上述したように、抵抗RAは下位D/A変換回路3が出力する電流ILのフルスケールに1LSBを加えたものが、上位D/A変換回路2の最下位ビットb5が1変化したときの電流の変化に一致するように設定されていた。これに対し、本実施形態では、下位D/A変換回路3のフルスケールが上位D/A変換回路2のフルスケールを2の上位ビットb5~b7のビット数乗(即ち、2の3乗で8)で割った値以上となっている。

【0029】本実施形態のD/A変換器のD/A変換の特性図を図2に示す。入力デジタルデータが0のとき、上位D/A変換回路2と下位D/A変換回路3は共に、電流を出力せず、電流Iは流れない。即ち、出力電圧は0となる。デジタルデータを0から開始して、1

ずつ増やすと、31以下であれば、下位ビットb0~b4が変化して下位D/A変換回路3によってデジタルデータに対応する電流ILを出力する。上位ビットb5~b7は変化がなく、電流IHは流れず、電流IはILになる。下位D/A変換回路3の直線性が良好であると、デジタルデータと出力電流Iの関係は直線的になる。

【0030】セグメントの切り換えポイント12で、下位D/A変換回路3のフルスケールが上位D/A変換回路2のフルスケールを2の3乗(即ち、8)で割った値以上になっている。そのため、出力電流Iは小さくなるか、又は、大きくなってもせいぜい、その差は1LSB以内になっている。同様に、セグメントの切り換えポイント13、14でも、D/A変換器の出力電圧Vは小さくなるか、又は、大きくなってもせいぜい、その出力差は1LSBを超えることはない。

【0031】このように、本発明のD/A変換器は微分非直線性誤差がどの部分でも正方向には1LSB以内になっている。正方向に微分非直線性誤差が1LSB以内になっているので、出力電圧Vは制御のための基準電圧から1LSB以内の範囲で制御できるようになる。

【0032】また、負方向に対しては逆向き負方向に値しては大きな誤差を持っても構わないので、ある程度余裕を持たせて抵抗Rを設定すればよい。これにより、抵抗Rの微調整を行う必要がなく、安価なD/A変換器となる。集積化する場合、集積回路内に積分器20を内蔵することもできるし、外付けにすることもできる。

【0033】<第2の実施形態>本発明の第2の実施形態を図3を用いて説明する。図3は本発明のD/A変換器22を使用した自動制御装置の一実施形態のブロック図である。この制御装置は基準電圧源5より基準電圧Vaを与えることによって、D/A変換器22が出力する電圧を自動的に設定する装置である。D/A変換器22は微分非直線性誤差がどの部分でも正方向に1LSB以内である。

【0034】D/Aデータ増減器10が出力するデジタルデータをD/A変換器22がD/A変換して電圧Vを出力する。この電圧VをA/D変換器8でデジタル信号に変換して比較器9に入力する。また、基準電圧VaもA/D変換器6でA/D変換して比較器9に入力する。

【0035】比較器9は基準電圧Vaと電圧Vを比較して、電圧Vが基準電圧Vaより大きい小さいか、又は同じであるかを判断して出力する。電圧Vが基準電圧Vaより小さいと比較器9が判断すれば、D/Aデータ増減器10はデジタルデータを1つ増やす。電圧Vが基準電圧Vaより大きければ、D/Aデータ増減器10は出力するデジタルデータを1つ減らす。また、信号Vと基準電圧Vaが同じであればデジタルデータを変更し

ないで、D/Aデータ増減器10はそれまでの値を保持する。

【0036】例えば、D/Aデータ増減器10の初期データが0で、基準電圧 $V_a$ がある正の値に設定されているとする。このとき、D/A変換器11の出力電圧 $V$ は0であるので比較器9は基準電圧 $V_a$ が大きいと判断する。これにより、D/Aデータ増減器10はデジタルデータを1つ増やし、1にする。D/A変換器22は電圧 $V$ を出力するようになる。それでも電圧 $V$ が基準電圧 $V_a$ より低ければ、比較器9は $V$ より $V_a$ が大きいと判断し続け、D/Aデータ増減器10デジタルデータを増やす。基準電圧 $V_a$ と等しくなるか越えるまでデジタルデータは増加する。

【0037】もし、このとき、出力電圧 $V$ と基準電圧 $V_a$ が一致すれば、電圧 $V$ は $V_a$ で固定となる。もし、一致せず、出力電圧 $V$ が基準電圧 $V_a$ より大きくなれば、数値データ16の近傍でD/Aデータ増減器10はデジタルデータを振動するように出力するが、微分非直線性誤差が正方向に1LSB以内であるので、出力電圧 $V$ の変動は小さい。また、D/Aデータ増減器10の開始時のデジタルデータによらないで、制御する。

【0038】このように、高性能のD/A変換器を用いなくても、基準電圧 $V_a$ に高精度の制御が行われる。セグメントの切り換えポイント12~14(図2参照)では出力が大きく変化することがあるが、ある基準電圧 $V_a$ に合致するように出力電圧 $V$ を制御するときには、必ず1LSB以内の誤差の範囲で制御するので、全く問題がない。

【0039】また、A/D変換器6、8でA/D変換されたデータを適当に加工して制御をすることもできる。例えば、A/D変換器6でA/D変換された基準電圧 $V_a$ を何倍かに大きくしたデータに変更すると、小さな基準電圧 $V_a$ でD/A変換器22の出力電圧 $V$ を制御することができるようになる。更に、制御の基準には電圧 $V_a$ でなくても、デジタル信号に変換できるものであれば、電流でも抵抗でもよい。或いはデジタル信号そのものであってもよい。

【0040】<第3の実施形態>本発明の第3の実施形態を図4に示す。この第3の実施形態もD/A変換器22を使用した自動制御装置である。尚、図4において図3と同一の部分については同一の符号を付し、説明を省略する。D/A変換器22の出力電圧 $V$ を比較器14に入力する。比較器14は基準電圧源5の電圧 $V_a$ と電圧 $V$ を比較する。

【0041】電圧 $V_a$ が $V$ よりも大きければ比較器14の出力はハイレベルになり、カウンタ15のデジタルデータが1つ増える。するとD/A変換器22が出力する電圧 $V$ が増加する。電圧 $V$ が基準電圧 $V_a$ を越えるまでデジタルデータが増加し、電圧 $V$ が基準電圧 $V_a$ を越えると、比較器14の出力はローレベルになり、カウ

ンタ15のデジタルデータの出力は一定になる。

【0042】それで、D/A変換器22の出力する電圧 $V$ は一定となり、負荷12に対して一定の電圧 $V$ が与えられる。但し、カウンタ15はデジタルデータの出力を増加方向にしか制御しないので、リセット信号が入力されると、デジタルデータを0にするようにする。まずリセット信号でカウンタ15のデジタルデータを0にしてから、制御を開始する。これにより、D/A変換器22の出力する電圧 $V$ が少しずつ高くなりながら、基準電圧 $V_a$ に制御される。

【0043】ここで用いられているD/A変換器22が、もし図7に示す従来のD/A変換器であった場合、例えばセグメントの切り換えポイント53の直前での出力電圧 $V$ が基準電圧 $V_a$ より、ほんのわずかに小さくなっていったとする。そして、デジタルデータが1つ増加すると、出力電圧 $V$ が正方向に大きくばらついているので、出力電圧 $V$ が基準電圧 $V_a$ から大きく離れて固定してしまう。これでは制御の精度が悪い。

【0044】しかし、本発明のD/A変換器22を用いることにより、図2に示すようにセグメントの切り換えポイント12~14では正方向へのばらつきが1LSB以内である。セグメントの切り換えポイント12~14で大きく負方向にばらついていたとする。その直前で出力電圧 $V$ が基準電圧 $V_a$ より、ほんのわずかに小さく、デジタルデータが1つ増加しても、出力電圧 $V$ は基準電圧 $V_a$ よりも低いままである。次のセグメントの切り換えポイントまでは直線性が良好であるので、基準電圧 $V_a$ に近い値で出力電圧 $V$ が固定する。

【0045】このように高価なD/A変換器を使用しなくても、本発明の制御装置は高精度で制御することができ、低コストである。本実施形態の制御装置は、例えばバンドパスフィルタ等の、電圧制御フィルタの電圧自動調整回路として使用できる。尚、電圧分割器(図示せず)を設け、電圧 $V$ を分割してから比較器14に入力するようにすると、基準電圧 $V_a$ が小さい値で、電圧 $V$ を制御できるようになる。また、基準電圧 $V_a$ を電圧分割器(図示せず)で分割すると、基準電圧 $V_a$ で小さい電圧 $V$ が制御できるようになる。

【0046】<第4の実施形態>本発明の第4の実施形態を図5を用いて説明する。図5において図3と同一の部分には同一の符号を付し、説明を省略する。電圧制御発振器(VCO)19は電圧で周波数を制御できる発振器であり、電圧が高くなると発振周波数は高くなる。まず、カウンタ18にリセット信号が入力される。

【0047】すると、カウンタ18はデジタルデータの最小値を出力し、D/A変換器22は最小の電圧 $V$ を出力する。デジタルデータの最小値は電圧制御発振器19が最低の周波数 $F_{out}$ で発振するように設定されている。発振周波数 $F_{out}$ は位相コンパレータ17に

【0048】位相コンパレータ17は基準発振器16の基準周波数 $F_{ref}$ と電圧制御発振器19の発振周波数 $F_{out}$ を比較し、 $F_{ref}$ が $F_{out}$ より高周波であるときに1パルス発生する。カウンタ18にこのパルスが入力されると、デジタルデータを1つ加える。これにより、D/A変換器22の出力する電圧 $V$ が高くなり、電圧制御発振器19が発振する周波数 $F_{out}$ が高くなる。

【0049】このようにして、 $F_{out}$ は最低の発振周波数からしだいに高くなり、 $F_{ref}$ と等しくなるか、 $F_{ref}$ より高周波になると、位相コンパレータ17はパルスを発生しなくなり、周波数 $F_{out}$ が固定となる。上記第3の実施形態で説明したときと同様に、基準周波数 $F_{ref}$ に対して大きく離れて固定するという状態は発生しない。周波数 $F_{out}$ は基準周波数 $F_{ref}$ に近い周波数で固定となる。

【0050】本実施形態の制御装置は一種のPLL (Phase Locked Loop)回路であり、例えばハイファイビデオテープレコーダの音声キャリアの発振器として使用できる。このように、本発明の低コストのD/A変換器を用いても、高価なD/A変換器を用いたときと同程度の精度で電圧制御発振器19を制御することが可能である。

【0051】

【発明の効果】

<請求項1の効果>D/A変換器の各セグメントには微分非直線性誤差が1LSB以内のD/A変換手段を使用している。各セグメントのフルスケールは上位セグメントのD/A変換器のフルスケールを、そのセグメントについて2のビット数乗で割った値以上となっている。これにより、D/A変換器の微分非直線性誤差が正方向に1LSB以内となっている。このように、正方向へのばらつきが小さいので、高精度の制御を行うことができる。また、正方向にばらつかないようにすればよいので、D/A変換器が安価になる。

【0052】<請求項2の効果>D/A変換器が安価で

あるので、制御装置のコストが下がる。D/A変換器の微分非直線性が正方向に1LSB以内であるので、基準信号に対して、D/A変換器の出力を制御すれば、高精度の制御装置になる。

【0053】<請求項3の効果>D/A変換器が安価であるので、電圧制御発振器の出力する周波数の制御装置のコストが下がる。D/A変換器の微分非直線性が正方向に1LSB以内であるので、基準周波数に対して、電圧制御発振器の出力する周波数が高精度に制御できる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態のD/A変換器のブロック図。

【図2】 そのD/A変換器の特性図。

【図3】 本発明の第2の実施形態の制御装置のブロック図。

【図4】 本発明の第3の実施形態の制御装置のブロック図。

【図5】 本発明の第4の実施形態の制御装置のブロック図。

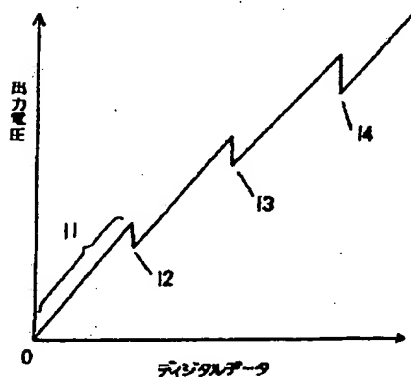
【図6】 従来のD/A変換器の特性図。

【図7】 そのD/A変換器のブロック図。

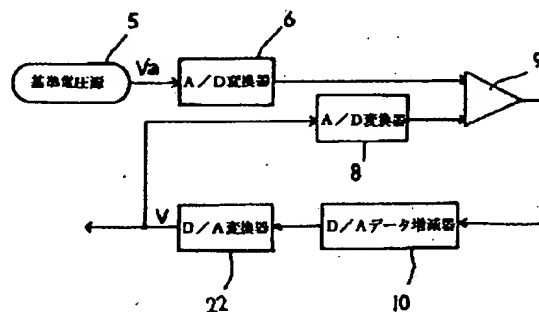
【符号の説明】

- 2 上位D/A変換手段
- 3 下位D/A変換手段
- 4 電流合成器
- 5 基準電圧源
- 9 デジタル信号比較器
- 16 基準発振器
- 17 位相コンパレータ
- 15 カウンタ
- 19 電圧制御発振器
- 20 積分器
- 21 演算増幅器
- 22 D/A変換器
- R 抵抗

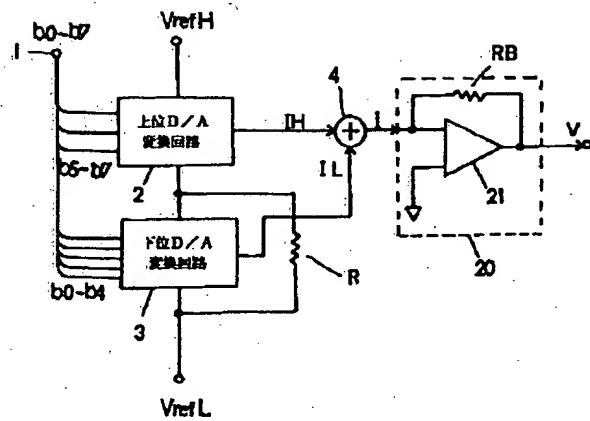
【図2】



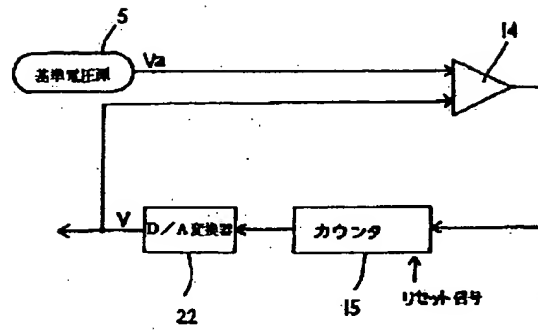
【図3】



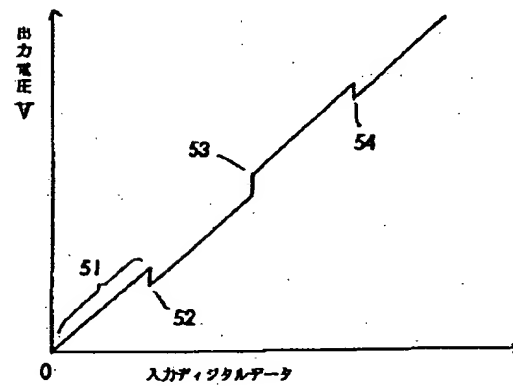
【図1】



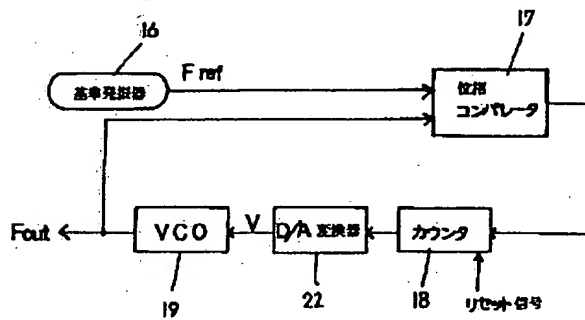
【図4】



【図6】



【図5】



【図7】

